

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-174137

(43) Date of publication of application : 23.06.2000

(51)Int.Cl.

H01L 21/8238

H01L 27/092

H01L 21/76

H01L 27/08

H01L 29/78

(21)Application number : 10-348610

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 08.12.1998

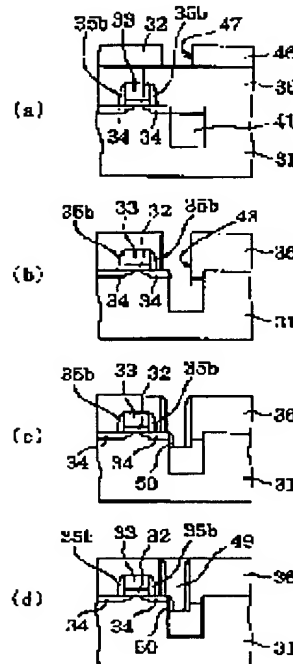
(72)Inventor : HIRAI TAKEHIRO
KAMATA YASUYUKI
KAWAHARA HIROYUKI
NAKAO ICHIRO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the occurrence of leakage currents caused by the step formed at the boundary between a source-drain area and an STI structure when a contact hole which is formed to connect the source-drain area to wiring is formed astride the boundary.

SOLUTION: A contact hole formed in an interlayer insulating film 36 covering a MOS transistor and a trench isolating structure 41 reaches part of the source-drain area 34 of the transistor and part of the structure 41 and an electrode plug 49 for contact which is brought into contact with the area 34 is formed in the opening of the contact hole. An insulating side-wall spacer 50 is formed on the side face of a step formed between the upper surfaces of an element area and the structure 41 and interrupts the passage of leak currents between the area 34 and plug 49.



LEGAL STATUS

[Date of request for examination]

09.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3205306

[Date of registration]

29.06.2001

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-174137

(P2000-174137A)

(43) 公開日 平成12年6月23日 (2000.6.23)

(51)Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
H 0 1 L 21/8238		H 0 1 L 27/08	3 2 1 E 5 F 0 3 2
27/092			3 3 1 A 5 F 0 4 0
21/76		21/76	L 5 F 0 4 8
27/08	3 3 1	27/08	3 2 1 F
29/78		29/78	3 0 1 R
		審査請求 有	請求項の数 8 O L (全 15 頁)

(21) 出願番号 特願平10-348610

(22) 出願日 平成10年12月8日 (1998.12.8)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 平井 健裕

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 鎌田 泰幸

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外1名)

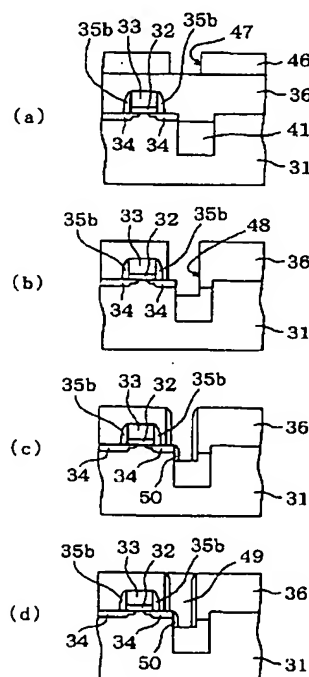
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ソース／ドレイン領域と配線とを接続するためのコンタクトホールがソース／ドレイン領域とSTI構造との境界部分を跨ぐように形成される場合において、その境界部分に生じる段差に起因する電流リークの発生を抑制する。

【解決手段】 MOS型トランジスタおよびトレンチ分離構造41を覆う層間絶縁膜36中に形成されたコンタクトホールが、MOS型トランジスタのソース・ドレイン領域34の一部およびトレンチ分離構造41の一部に達し、その開口部内にソース・ドレイン領域34に接触するコンタクト用電極プラグ49が形成されている。素子領域の上面とトレンチ分離構造41の上面との間に形成された段差の側面に絶縁性サイドウォールスペーサ50が形成され、ソース／ドレイン領域34と電極プラグ49との間の電流リークパスを遮断している。



【特許請求の範囲】

【請求項 1】 素子領域および分離領域を有する半導体と、

前記素子領域に形成された MOS 型トランジスタと、
前記分離領域に形成されたトレンチ分離構造と、
前記 MOS 型トランジスタおよび前記トレンチ分離構造を覆う層間絶縁膜と、

前記層間絶縁膜に形成され、前記 MOS 型トランジスタのソース・ドレイン不純物拡散層の一部および前記トレンチ分離構造の一部に達する開口部と、
前記層間絶縁膜の開口部を介して前記ソース・ドレイン不純物拡散領域に接触する電極と、を備えた半導体装置であって、

前記素子領域の上面と前記トレンチ分離構造の上面との間には段差が形成されており、

前記ソース・ドレイン不純物拡散層の少なくとも一方が前記段差の側面に達し、

前記段差の側面と前記電極との間に絶縁性サイドウォールスペーサが挿入されている半導体装置。

【請求項 2】 前記トレンチ分離構造は、前記半導体の前記分離領域に形成されたトレンチと、前記トレンチ内に埋め込まれた絶縁物とを有しており、

前記絶縁性サイドウォールスペーサは、前記トレンチ分離構造内の前記絶縁物とは異なる絶縁性材料から形成されている請求項 1 に記載の半導体装置。

【請求項 3】 前記層間絶縁膜および前記絶縁物はシリコン酸化膜から形成され、前記絶縁性サイドウォールスペーサはシリコン窒化膜から形成されている請求項 2 に記載の半導体装置。

【請求項 4】 前記半導体はシリコン基板であり、前記ソース・ドレイン不純物拡散層は、前記シリコン基板の上に成長した半導体層に形成されている請求項 1 から 3 の何れかひとつに記載の半導体装置。

【請求項 5】 半導体の素子領域に形成された MOS 型トランジスタと、前記半導体の分離領域に形成されたトレンチ分離構造とを備え、前記素子領域の上面と前記トレンチ分離構造の上面との間に段差が形成され、前記段差の側面において前記 MOS 型トランジスタのソース・ドレイン不純物拡散層の少なくとも一部が露出している構造体を用意する工程と、

前記構造体上に絶縁性エッチストップ膜を堆積し、それによって前記絶縁性エッチストップ膜絶縁で前記段差の側面を覆う工程と、

前記絶縁性エッチストップ膜上に層間絶縁膜を堆積し、前記層間絶縁膜で前記 MOS 型トランジスタおよび前記素子分離構造を覆う工程と、

前記層間絶縁膜のうち前記段差側面を横切る領域を前記絶縁性エッチングストップ膜に達するまでエッチングし、前記層間絶縁膜中に開口部を設ける工程と、

前記層間絶縁膜の前記開口部の底面に露出する前記絶縁

性エッチストップ膜に対して異方性エッチングを行い、それによって前記絶縁性エッチストップ膜から形成された絶縁性サイドウォールスペーサを前記段差側面上に形成し、また前記ソース・ドレイン不純物拡散層の前記表面の一部を部分的に露出させる工程と、

前記層間絶縁膜の開口部を介して前記ソース・ドレイン不純物拡散層の前記表面の一部に接触する電極を形成する工程と、を包含する半導体装置の製造方法。

【請求項 6】 半導体の素子領域に形成された MOS 型トランジスタと、前記半導体の分離領域に形成されたトレンチ分離構造とを備えた構造体を用意する工程と、前記構造体上に層間絶縁膜を堆積し、前記層間絶縁膜で前記 MOS 型トランジスタおよび前記素子分離構造を覆う工程と、

前記層間絶縁膜のうち前記素子領域と前記分離領域との間の境界部分を横切る領域を前記 MOS 型トランジスタのソース・ドレイン不純物拡散層に達するまでエッチングし、前記層間絶縁膜中に開口部を設け、それによって前記素子領域の上面と前記トレンチ分離構造の上面との間に段差を形成し、前記段差の側面において前記 MOS 型トランジスタのソース・ドレイン不純物拡散層の少なくとも一部を露出させる工程と、

前記層間絶縁膜の表面に絶縁薄膜を堆積し、それによって前記層間絶縁膜の前記開口部の内壁面および底面ならびに前記段差側面を前記絶縁薄膜で覆う工程と、

前記絶縁薄膜に対する異方性エッチングを行い、それによって前記絶縁薄膜から形成された絶縁性サイドウォールスペーサを前記段差側面上に形成し、また前記ソース・ドレイン不純物拡散層の表面を部分的に露出させる工程と、

前記層間絶縁膜の開口部を介して前記ソース・ドレイン不純物拡散層の前記表面の一部に接触する電極を形成する工程と、を包含する半導体装置の製造方法。

【請求項 7】 前記トレンチ分離構造は、前記半導体の前記分離領域に形成されたトレンチと、前記トレンチ内に埋め込まれた絶縁物とを有しており、前記絶縁薄膜は、前記トレンチ分離構造内の前記絶縁物とは異なる絶縁性材料から形成されている請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記層間絶縁膜および前記絶縁物はシリコン酸化膜から形成され、前記絶縁薄膜はシリコン窒化膜から形成されている請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 半導体の素子領域に形成された MOS 型トランジスタと、前記半導体の分離領域に形成されたトレンチ分離構造とを備えた構造体を用意する工程と、前記構造体上に酸化膜を堆積し、前記酸化膜で前記 MOS 型トランジスタおよび前記素子分離構造を覆う工程と、

前記酸化膜上にエッチストップ層を堆積する工程と、

前記エッチストップ層上に層間絶縁膜を堆積する工程と、
前記層間絶縁膜のうち前記素子領域と前記分離領域との間の境界部分を横切る領域を前記エッチストップ層の表面に達するまでエッチングし、前記層間絶縁膜中に開口部を設ける工程と、
前記層間絶縁膜の開口部を介して露出する前記エッチストップ層をエッチングし、前記エッチストップ層の下に位置していた前記酸化膜を露出させる工程と、
前記層間絶縁膜の開口部を介して露出する前記酸化膜を前記MOS型トランジスタのソース・ドレイン不純物拡散層の表面の一部に達するまでエッチングする工程と、
前記層間絶縁膜の開口部を介して前記ソース・ドレイン不純物拡散層の前記表面の一部に接触する電極を形成する工程と、を包含する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関する。

【0002】

【従来の技術】半導体集積回路の素子間分離のため、従来、LOCOSが広く使用されてきた。しかし、LOCOSにはバズピークの問題が伴うため、超LSIの素子分離には不向きである。LOCOSに代わる素子分離構造としてSTI (Shallow Trench Isolation) 構造が提案されている。STI構造は、シリコン基板の分離領域に比較的に浅いトレンチ(深さ: 0.2~0.6 μ m)を形成し、そのトレンチ内をSiO₂膜で埋め込むことによって形成される。

【0003】STI構造は、ソース/ドレイン領域の面積が狭い場合、言い換えると、ゲートのエッジと素子領域のエッジとの間隔が狭い場合に、LOCOSに取って代わる分離技術である。従って、STI構造の採用は、ゲートのエッジと素子領域のエッジとの間隔が例えば0.7 μ m程度以下の微細なトランジスタが集積された半導体装置の分離技術として大きな意義を有することになる。

【0004】図1(a)~(d)を参照しながら、STI構造を備えた従来の半導体装置の製造方法を説明する。

【0005】まず、図1(a)に示す構造を作製する。この構造は、シリコン基板1の分離領域に形成されたトレンチ10と、トレンチ10内を埋め込むSiO₂膜11とを有しており、トレンチ10およびSiO₂膜11によってSTI構造が形成されている。

【0006】分離領域に囲まれた領域は素子領域または活性領域として機能する。図1(a)の構造は、素子領域に形成されたゲート絶縁膜2、ゲート絶縁膜2上に形成されたゲート電極3、およびシリコン基板1の表面に形成されたソース/ドレイン領域4を備えている。これ

らはMOS型トランジスタの構成要素である。図1

(a)では、素子領域および分離領域の両方を覆うようにしてSiO₂膜5aが堆積されている。

【0007】次に、図1(b)に示すように、SiO₂膜5aをエッチバックすることによって、SiO₂膜5aの一部をゲート電極3の側面に残置させ、これによってサイドウォールスペーサ5bを形成する。その後、ゲート電極3およびサイドウォールスペーサ5bをマスクとするイオン注入工程を実行し、ソース/ドレイン領域4の高濃度部分を形成する。サイドウォールスペーサ5bの下方に位置するソース/ドレイン領域4の低濃度度部分はLDDとして機能することになる。

【0008】このSiO₂膜5aのエッチングに際して、STI構造の最上部、すなわちトレンチ10内のSiO₂膜11の最上部もエッチングされてしまう。その結果、素子領域の上面とSiO₂膜11の上面との間に段差(レベル差)が生じてしまう。この段差は、20~100nm程度の大きさを持つと考えられる。

【0009】次に、図1(c)に示すように、これらの構造を層間絶縁膜6で覆った後、層間絶縁膜6の所定部分をエッチングし、その部分にコンタクトホール12を形成する。このエッチングに際して、SiO₂膜11の上部がエッチングされ、上記段差が更に大きくなる。この時点での段差の大きさは、50~200nm程度に達する。

【0010】近年、ソース/ドレイン領域4の接合深さは益々浅くなる傾向にある。STI構造を採用する意義のあるような集積度の半導体装置の場合、ソース/ドレイン領域4の接合深さは、30~150nm程度である。これは、上記段差の大きさに比較して小さい。従って、図1(c)に示す工程段階において、ソース/ドレイン領域4のpn接合部は段差の側面で露出することになる。

【0011】次に、図1(d)に示すように、層間絶縁膜6のコンタクトホール12は、タングステンなどの金属プラグ13によって埋め込まれる。この金属プラグ13は層間絶縁膜6上に形成された不図示の上層配線とソース/ドレイン領域4との間の電氣的導通を実現する役割を果たす。

【0012】

【発明が解決しようとする課題】ソース/ドレイン領域4のpn接合部の一部は、図1(d)に示すように、金属プラグ13と直接的に接触している。このため、矢印で模式的に示す経路を介して大きな電流リークが発生する。

【0013】図2(a)および(b)は、相対的に広い面積を有するソース/ドレイン領域上において相対的に狭いコンタクトホールを形成し、そのコンタクトホール内を金属プラグ13で埋め込んだ状態を示している。集積度の低い半導体装置にあつては、このような構成を採

用することが可能であった。この場合、金属プラグ13はソース／ドレイン領域4の上面と接触しており、ソース／ドレイン領域4のpn接合部分とは接触していない。そのため、金属プラグ13を介した電流リークは生じない。図2(b)に示す距離Zが0.8μm程度以上の場合、金属プラグ13を分離領域上にはみ出さないよう形成することは十分に可能であったが、距離Zが0.8μm程度を下回るように集積度が向上すると、金属プラグ13を分離領域上にはみ出さないよう形成することは困難になる。

【0014】また、図2(a)および(b)に示す構成の場合は、コンタクトホールを形成するためのエッチングによってトレンチ内のSiO₂膜11がエッチングされることもない。更に、従来はソース／ドレイン領域4の接合深さXも比較的に大きかったため、素子領域20の上面とSiO₂膜11の上面とのレベル差Yがソース／ドレイン領域4の接合深さXよりも小さかった。こうしたことから、従来は、仮にコンタクトホールの位置がずれ、それによって金属プラグ13が素子領域と分離領域との境界を横切ったとしても、ソース／ドレイン領域4のpn接合部が金属プラグ13に接触することはなく、図1(d)に示すようなリーク経路は形成されなかった。

【0015】しかしながら、素子寸法の微細化が進捗し、図1(a)～(d)に示す製造方法を採用することになれば、従来は問題にならなかった経路で電流リークが発生することがわかった。

【0016】本発明は斯かる諸点に鑑みてなされたものであり、その主な目的は、ソース／ドレイン領域と配線とを接続するためのコンタクトホールがソース／ドレイン領域とSTI構造との境界部分を跨ぐように形成される場合において、その境界部分に生じる段差に起因する電流リークの発生が抑制された半導体装置およびその製造方法を提供することにある。

【0017】

【課題を解決するための手段】本発明による半導体装置は、素子領域および分離領域を有する半導体と、前記素子領域に形成されたMOS型トランジスタと、前記分離領域に形成されたトレンチ分離構造と、前記MOS型トランジスタおよび前記トレンチ分離構造を覆う層間絶縁膜と、前記層間絶縁膜に形成され、前記MOS型トランジスタのソース・ドレイン不純物拡散層の一部および前記トレンチ分離構造の一部に達する開口部と、前記層間絶縁膜の開口部を介して前記ソース・ドレイン不純物拡散領域に接触する電極とを備えた半導体装置であって、前記素子領域の上面と前記トレンチ分離構造の上面との間には段差が形成されており、前記ソース・ドレイン不純物拡散層の少なくとも一方が前記段差の側面に達し、前記段差の側面と前記電極との間に絶縁性サイドウォールスペーサが挿入されている。

【0018】好ましい実施形態では、前記トレンチ分離構造は、前記半導体の前記分離領域に形成されたトレンチと、前記トレンチ内に埋め込まれた絶縁物とを有している。

【0019】好ましい実施形態では、前記絶縁性サイドウォールスペーサは、前記トレンチ分離構造内の前記絶縁物とは異なる絶縁性材料から形成されている。

【0020】好ましい実施形態では、前記層間絶縁膜および前記絶縁物はシリコン酸化膜から形成され、前記絶縁性サイドウォールスペーサはシリコン窒化膜から形成されている。

【0021】好ましい実施形態では、前記半導体はシリコン基板であり、前記ソース・ドレイン不純物拡散層は、前記シリコン基板の上に成長した半導体層に形成されている。

【0022】本発明による半導体装置の製造方法は、半導体の素子領域に形成されたMOS型トランジスタと、前記半導体の分離領域に形成されたトレンチ分離構造とを備え、前記素子領域の上面と前記トレンチ分離構造の上面との間に段差が形成され、前記段差の側面において前記MOS型トランジスタのソース・ドレイン不純物拡散層の少なくとも一部が露出している構造体を用意する工程と、前記構造体上に絶縁性エッチストップ膜を堆積し、それによって前記絶縁性エッチストップ膜絶縁で前記段差の側面を覆う工程と、前記絶縁性エッチストップ膜上に層間絶縁膜を堆積し、前記層間絶縁膜で前記MOS型トランジスタおよび前記素子分離構造を覆う工程と、前記層間絶縁膜のうち前記段差側面を横切る領域を前記絶縁性エッチングストップ膜に達するまでエッチングし、前記層間絶縁膜中に開口部を設ける工程と、前記層間絶縁膜の前記開口部の底面に露出する前記絶縁性エッチストップ膜に対して異方性エッチングを行い、それによって前記絶縁性エッチストップ膜から形成された絶縁性サイドウォールスペーサを前記段差側面上に形成し、また前記ソース・ドレイン不純物拡散層の前記表面の一部を部分的に露出させる工程と、前記層間絶縁膜の開口部を介して前記ソース・ドレイン不純物拡散層の前記表面の一部に接触する電極を形成する工程とを包含する。

【0023】本発明による他の半導体装置の製造方法は、半導体の素子領域に形成されたMOS型トランジスタと、前記半導体の分離領域に形成されたトレンチ分離構造とを備えた構造体を用意する工程と、前記構造体上に層間絶縁膜を堆積し、前記層間絶縁膜で前記MOS型トランジスタおよび前記素子分離構造を覆う工程と、前記層間絶縁膜のうち前記素子領域と前記分離領域との間の境界部分を横切る領域を前記MOS型トランジスタのソース・ドレイン不純物拡散層に達するまでエッチングし、前記層間絶縁膜中に開口部を設け、それによって前記素子領域の上面と前記トレンチ分離構造の上面との間

に段差を形成し、前記段差の側面において前記MOS型トランジスタのソース・ドレイン不純物拡散層の少なくとも一部を露出させる工程と、前記層間絶縁膜の表面に絶縁薄膜を堆積し、それによって前記層間絶縁膜の前記開口部の内壁面および底面ならびに前記段差側面を前記絶縁薄膜で覆う工程と、前記絶縁薄膜に対する異方性エッチングを行い、それによって前記絶縁薄膜から形成された絶縁性サイドウォールスペースを前記段差側面上に形成し、また前記ソース・ドレイン不純物拡散層の表面を部分的に露出させる工程と、前記層間絶縁膜の開口部を介して前記ソース・ドレイン不純物拡散層の前記表面の一部に接触する電極を形成する工程とを包含する。

【0024】好ましい実施形態では、前記トレンチ分離構造は、前記半導体の前記分離領域に形成されたトレンチと、前記トレンチ内に埋め込まれた絶縁物とを有している。

【0025】好ましい実施形態では、前記絶縁薄膜は、前記トレンチ分離構造内の前記絶縁物とは異なる絶縁性材料から形成されている。

【0026】好ましい実施形態では、前記層間絶縁膜および前記絶縁物はシリコン酸化膜から形成され、前記絶縁薄膜はシリコン窒化膜から形成されている。

【0027】本発明による更に他の半導体装置の製造方法は、半導体の素子領域に形成されたMOS型トランジスタと、前記半導体の分離領域に形成されたトレンチ分離構造とを備えた構造体を用意する工程と、前記構造体上に酸化膜を堆積し、前記酸化膜で前記MOS型トランジスタおよび前記素子分離構造を覆う工程と、前記酸化膜上にエッチストップ層を堆積する工程と、前記エッチストップ層上に層間絶縁膜を堆積する工程と、前記層間絶縁膜のうち前記素子領域と前記分離領域との間の境界部分を横切る領域を前記エッチストップ層の表面に達するまでエッチングし、前記層間絶縁膜中に開口部を設ける工程と、前記層間絶縁膜の開口部を介して露出する前記エッチストップ層をエッチングし、前記エッチストップ層の下に位置していた前記酸化膜を露出させる工程と、前記層間絶縁膜の開口部を介して露出する前記酸化膜を前記MOS型トランジスタのソース・ドレイン不純物拡散層の表面の一部に達するまでエッチングする工程と、前記層間絶縁膜の開口部を介して前記ソース・ドレイン不純物拡散層の前記表面の一部に接触する電極を形成する工程とを包含する。

【0028】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。

【0029】(第1の実施形態)図3(a)～(c)ならびに図4(a)および(b)を参照しながら、本実施形態にかかる半導体装置の製造方法を説明する。

【0030】まず、図1(a)および(b)を参照しながら説明した公知のプロセスを経て、図3(a)に示す

構造を作製する。この構造は、p型シリコン基板31の分離領域に形成された深さ0.2～0.6μm程度のトレンチ40と、トレンチ40内を埋め込むSiO₂膜41とを有しており、トレンチ40およびSiO₂膜41によってSTI構造が形成されている。

【0031】トレンチ40に囲まれた領域は素子領域(または活性領域)として機能する。図3(a)の構造は、素子領域に形成されたゲート絶縁膜32、ゲート絶縁膜32上に形成されたゲート電極(ゲート長:0.13～0.25μm、ゲート幅:2.0μm程度)33、および素子領域の表面に形成されたソース/ドレイン領域34を備えている。ソース/ドレイン領域34は、相対的に不純物濃度の低い部分と高い部分とから構成されている。また、ゲート電極33の両側面はSiO₂膜から形成されたサイドウォールスペース35bによって覆われている。これらはMOS型トランジスタの構成要素である。

【0032】図3(a)の構造において、素子領域の上面とSiO₂膜41の上面との間には段差が形成されている。本実施形態の場合、図3(a)に示す工程段階における段差の大きさは、20～100nm程度である。段差の大きさは、製造プロセス条件に応じて、50nm程度の範囲で変動する。ソース/ドレイン領域34のチャネル長方向サイズ(図2(b)の距離Zに相当するサイズ)は、本実施形態の場合、0.1～0.7μm程度であり、接合深さは30～150nm程度である。

【0033】次に、図3(b)に示すように、これらの構造をシリコンナイトライドなどからなる絶縁膜(厚さ:50nm)45で覆った後、図3(c)に示すように、絶縁膜45上に層間絶縁膜(厚さ:0.5～1.0μm)36をCVD法等によって堆積する。層間絶縁膜36の上面はCMP(化学的機械研磨)法で平坦化することが好ましい。

【0034】絶縁膜45は、層間絶縁膜36の材料とは異なる材料から形成する。より詳細には、層間絶縁膜36をエッチングする際に、絶縁膜45がエッチストップ層として機能する材料から形成することが好ましい。層間絶縁膜36としてシリコン酸化膜や低誘電率有機膜、またはこれらの多層膜を用いる場合、絶縁膜45はシリコンナイトライド膜から形成することが好ましい。エッチング選択比を十分に大きくすることが容易だからである。また、絶縁膜45はカバレッジの良い膜であることが好ましいため、好適にはCVD法によって堆積される。

【0035】絶縁膜45は、ソース/ドレイン領域34と金属プラグとの間の電氣的絶縁を達成する機能を発揮する。絶縁膜45が薄すぎると、この機能が劣化するため、絶縁膜45の厚さは少なくとも20nmは必要であると考えられる。また、絶縁膜45が厚すぎると、オーバーエッチングするための時間が大きくなり、その分、

SiO₂膜41のほり下がりも大きくなってしまおうという弊害が生じ得るため、絶縁膜45の厚さは100nm以下であることが好ましい。結局、絶縁膜45の好ましい厚さの範囲は、20～100nmである。

【0036】次に、公知のリソグラフィ技術を用いて、図3(c)に示すように、コンタクトホール47を備えたレジストマスク46を層間絶縁膜36上に形成する。この後、例えばCF₄等のSiO₂エッチング用ガスを用いて圧力3PaのもとRFパワーを500Wというエッチング条件のもと、図4(a)に示すように層間絶縁膜36をエッチングし、それによってコンタクトホール48を層間絶縁膜36中に形成する。このコンタクトエッチングは絶縁膜45の表面が露出するまで実行する。本実施形態の絶縁膜45はシリコンナイトライドから形成されているため、コンタクトエッチングによって絶縁膜45のエッチングはほとんど起こらず、絶縁膜45はエッチストップ層として機能する。層間絶縁膜36をその厚さ分だけエッチングするために必要なエッチング時間を十分に越える時間、コンタクトエッチングを行い（オーバーエッチングの実行）、コンタクトホール48の底面に露出する絶縁膜45上にシリコン酸化膜の残さがほとんど残らないようにすることができる。

【0037】本実施形態では、コンタクトホール48のサイズを例えば0.16～0.3μm径とする。このサイズは、ソース/ドレイン領域34のチャネル長方向サイズ（図2(b)の距離Zに相当するサイズ）に比較して、50～100%程度の大きさを持つ。

【0038】次に、絶縁膜45に対する異方性の強いエッチングを行う。図4(a)に示すように、このエッチングによって、コンタクトホール48の底面に位置する絶縁膜45の大部分は除去されるが、段差の近傍に位置する部分はサイドウォールスペーサ45bとして残存し、段差の側面を覆う。この絶縁膜45から形成されたサイドウォールスペーサ45bの厚さは、20～100nm程度である。

【0039】上記異方性エッチングは、例えばCl₂+CHF₃等のSiNエッチング用ガスを用いて圧力5PaのもとRFパワーを250Wとして実行されるため、トレンチ40内のSiO₂膜41はほとんどエッチングされない。このため、図3(a)に示されている段差の大きさは、図4(a)に示すエッチング工程によって増加しない。

【0040】次に、図4(b)に示すように、コンタクトホール48の内部をタングステンなどの導電性プラグ49によって埋め込む。この導電性プラグ49は層間絶縁膜36上に形成された不図示の上層配線とソース/ドレイン領域34との間の電氣的導通を実現するドレイン電極としての役割を果たす。導電性プラグ49は、例えばスパッタ法でタングステン膜を堆積した後、CMP

（化学的機械研磨）法などの平坦化技術を用いて不要部分を削除することによって形成され得る。他に、選択成長法によって導電性プラグ49を形成しても良い。いずれにしても、導電性プラグ49は、ソース/ドレイン領域34の上面と接触しており、そこで電氣的コンタクトが実現している。

【0041】このように本実施形態によれば、ソース/ドレイン領域34のpn接合部のうち段差の側面上に位置する部分がサイドウォールスペーサ45bによって覆われているため、ソース/ドレイン領域34のpn接合部は導電性プラグ49と接触していない。サイドウォールスペーサ45bは絶縁性を有しているため、図1

(d)の矢印で模式的に示すような経路で電流リークは生じない。

【0042】（第2の実施形態）図5(a)～(d)を参照しながら、本実施形態にかかる半導体装置の製造方法を説明する。

【0043】まず、図1(a)～(c)を参照しながら説明した公知のプロセスを経て、図5(a)に示す構造を作製する。この構造は、基本的には、図3(a)の構造と同様であるが、層間絶縁膜36が基板31の上面を覆っている点と、層間絶縁膜36上に開口部47を備えたレジストマスク46が形成されている点で異なる。レジストマスク46は、通常のリソグラフィ技術によって形成され、開口部47は、層間絶縁膜36中に形成すべきコンタクトホールの位置と形状を規定する。

【0044】次に、例えばCF₄等のSiO₂エッチング用ガスを用いて圧力3PaのもとRFパワーを500Wというエッチング条件のもと、図5(b)に示すように層間絶縁膜36をエッチングし、それによってコンタクトホール48を層間絶縁膜36中に形成する。このコンタクトエッチングはシリコン基板31の表面（ソース/ドレイン領域34）が露出するまで実行する。このコンタクトエッチングによってSTI構造中のSiO₂膜41のエッチングが生じ、段差の大きさが50～200nm程度に増加する。

【0045】レジストマスク46を除去した後、図5(c)に示すように、コンタクトホール48の内壁および段差側面上に絶縁性サイドウォールスペーサ50を形成する。この絶縁性サイドウォールスペーサ50は、シリコンナイトライドなどからなる絶縁膜（厚さ：10～50nm）で図5(b)の構造を覆った後、この絶縁膜に対して異方性の強いエッチングを行うことによって形成される。

【0046】次に、図5(d)に示すように、コンタクトホール48内をタングステンなどの導電性プラグ49によって埋め込む。導電性プラグ49は層間絶縁膜36上に形成された不図示の上層配線とソース/ドレイン領域34との間の電氣的導通を実現するドレイン電極としての役割を果たす。導電性プラグ49は、例えば、スパ

ッタ法でタングステン膜を堆積した後、CMP（化学的機械研磨）法などの平坦化技術を用いて不要部分を削除することによって形成され得る。他に、選択成長法によって導電性プラグ49を形成しても良い。この実施形態においても、導電性プラグ49はソース／ドレイン領域34の上面と接触しており、そこで電気的コンタクトが実現している。

【0047】このように本実施形態によっても、ソース／ドレイン領域34のpn接合部のうち段差の側面上に位置する部分が絶縁性サイドウォールスペーサ50によって覆われているため、ソース／ドレイン領域34のpn接合部は導電性プラグ49と接触していない。その結果、図1(d)の矢印で模式的に示すような経路で電流リークは生じない。

【0048】図6を参照しながら、本発明の半導体装置の平面レイアウト例を説明する。図6からわかるように、アイランド状の素子領域60が分離領域に囲まれており、分離領域にはSTI構造用トレンチ41が形成されている。簡単のため、図6では単一の素子領域60だけが記載されているが、現実にはシリコン基板表面に多数の素子領域60が配列している。ゲート電極33は配線形状を有しており、素子領域60を横切っている。コンタクトホール48は、素子領域60とトレンチ41との境界部分を横切るようにパターンニングされる。電極とソース／ドレイン領域との間に電気的コンタクトは、素子領域60とコンタクトホール48とが重なり合う領域（現実のコンタクト領域）において達成される。この現実のコンタクト領域の面積は、コンタクトホールの断面積よりも小さい。もしコンタクトホール48を素子領域60からトレンチ41へはみ出さないように形成しようとすると、コンタクトホール48はゲート電極33に重なるようにパターンニングされるか、あるいは図示されている大きさの半分程度以下の大きさに縮小して形成されることになる。コンタクトホール48の大きさをこれ以上に縮小することは困難であるため、図6に示すように、素子領域60と分離領域との境界を横切る比較的に広い領域上にコンタクトホール48を配置させることが好ましい。

【0049】（第3の実施形態）次に、図7(a)～(c)および図8(a)～(c)を参照しながら本発明による半導体装置の他の実施形態を説明する。

【0050】まず、図7(a)に示す構造を作製する。この構造は、シリコン基板71の分離領域に形成されたトレンチ（深さ：0.4μm）と、トレンチ内を埋め込むSiO₂膜72とを有しており、トレンチおよびSiO₂膜72によってSTI構造が形成されている。分離領域に囲まれた領域は素子領域または活性領域として機能する。図7(a)の構造は、素子領域に形成されたゲート絶縁膜73、ゲート絶縁膜73上に形成されたゲート電極74、ゲート電極74上に設けられた絶縁膜7

5、およびシリコン基板71に形成されたソース／ドレイン領域76を備えている。これらはMOS型トランジスタの構成要素である。更に、素子領域および分離領域の両方を覆うようにしてSiO₂膜（厚さ：0.1μm）77が形成され、そのSiO₂膜77上にはシリコンナイトライド膜（厚さ：0.5μm）78が堆積される。SiO₂膜77およびシリコンナイトライド膜78は、例えばCVD法等によって形成されるが、SiO₂膜77は熱酸化法によっても形成され得る。

【0051】次に、図7(b)に示すように、シリコンナイトライド膜78に対する異方性の高いエッチングを行うことによって、シリコンナイトライド膜78の大部分を除去し、シリコンナイトライド膜78からなるサイドウォールスペーサ78bをゲート電極構造の側壁に形成する。エッチング条件は、例えばCl₂+CHF₃等のSiNエッチング用ガスを用いて圧力5PaのもとRFパワーを250Wである。チャネル長方向に沿って計測したサイドウォールスペーサ78bのサイズは、10～50nmとなる。このエッチング条件のもとでは、シリコンナイトライド膜78の下に位置していたSiO₂膜77はほとんどエッチングされない。

【0052】次に、図7(c)に示すように、図7(b)の構造を覆う第2のシリコンナイトライド膜（厚さ：0.05μm）82をCVD法によって堆積した後、その上に層間絶縁膜（厚さ：1μm）79をCVD法によって堆積する。次に、リソグラフィ技術およびエッチング技術を用いて、層間絶縁膜79中にコンタクトホール80を形成する。コンタクトホール80は、レイアウト上、図6に示す位置に形成されるが、その実際の平面形状は、矩形ではなく円または長円であってもよい。未コンタクトホール80を形成するために行う層間絶縁膜79のエッチングは、例えばCF₄等のSiO₂エッチング用ガスを用いて圧力3PaのもとRFパワーを500Wというエッチング条件で実行される。このため、層間絶縁膜79の下地シリコンナイトライド膜82は、ほとんどエッチングされず、エッチストップ膜として機能する。層間絶縁膜79のエッチングが終了したとき、コンタクトホール80の底面にはシリコンナイトライド膜82が存在している。

【0053】次に、シリコンナイトライドを選択的にエッチングする異方性の高い条件で、コンタクトホール80内の底部に存在していたシリコンナイトライド膜82およびサイドウォールスペーサ78bをコンタクトホール80内から除去する（図8(a)）。このエッチングによって、コンタクトホール80の底部にSiO₂膜77があらわれる。

【0054】次に、図8(b)に示すように、コンタクトホール80の底部に位置するSiO₂膜77を選択的にエッチングし、ソース／ドレイン領域76の表面を露出させる。SiO₂膜77は、その厚さが0.1μmと

薄く形成されているため、比較的短時間でほぼ完全にソース／ドレイン領域76上から除去される。このため、SiO₂膜77のエッチングによって、トレンチ内のSiO₂膜72が深く掘り下げられることは無い。従って、ソース／ドレイン領域76の上面とトレンチ内SiO₂膜72の上面との間に大きな段差は形成されず、ソース／ドレイン領域76のpn接合部が段差側面に現れることもない。言い換えると、ソース／ドレイン領域76のpn接合部は、トレンチ内のSiO₂膜72によって完全に覆われている。

【0055】次に、図8(c)に示すように、コンタクトホール内に金属プラグ81を埋め込み、電極として機能する金属プラグ81とソース／ドレイン領域76とのコンタクトを達成する。図8(c)からわかるように、ソース／ドレイン領域76と基板71との間に金属プラグ81を介した電流リークの経路は形成されない。

【0056】なお、SiO₂膜77の好ましい厚さ範囲は、20～50nmである。また、第2のシリコンナイトライド膜82の好ましい厚さ範囲は20～50nmである。

【0057】(第4の実施形態)次に、図9(a)および(b)を参照しながら本発明による半導体装置の更に他の実施形態を説明する。

【0058】図9(a)は、ソース／ドレイン領域がシリコン基板上にエピタキシャル成長したシリコン層に形成されている半導体装置の断面を示している。

【0059】この半導体装置は、前述の実施形態と同様に、p型シリコン基板91の素子領域に形成されたMOS型トランジスタと、分離領域に形成されたトレンチ分離構造92とを備えている。この実施形態に特徴的な点は、シリコン基板91の素子領域上にエピタキシャル成長したシリコン層97が有しており、そのシリコン層97がMOS型トランジスタのソース／ドレイン領域として機能する点にある。

【0060】MOS型トランジスタのゲート構造は、シリコン基板91上に形成されたゲート絶縁膜93と、ゲート絶縁膜93上に形成されたゲート電極94と、ゲート電極94上に形成された絶縁層95とを有している。このゲート構造の側面はサイドウォール絶縁膜96によって覆われている。MOS型トランジスタおよびトレンチ分離構造は、比較的に薄いシリコンナイトライド膜99と比較的に厚い層間絶縁膜100によって覆われている。層間絶縁膜99には開口部が形成され、この開口部はMOS型トランジスタのソース・ドレイン不純物拡散層の一部およびトレンチ分離構造の一部に達している。層間絶縁膜100の開口部内には電極プラグ101設けられ、この電極プラグ101はソース・ドレイン不純物拡散領域にコンタクトしている。

【0061】図9(a)の構造では、シリコン層97にドーパされたn型不純物がシリコン基板91の表面より

基板内部にまで浅く拡散し、ソース／ドレイン領域のためのn型不純物層とシリコン基板91との間でpn接合98を形成している。

【0062】この実施形態でも、素子領域の上面とトレンチ分離構造の上面との間には段差が形成されており、ソース・ドレイン不純物拡散層の少なくとも一方が段差の側面に達しているが、段差の側面と電極101との間には絶縁性サイドウォールスペーサ99bが挿入されている。絶縁性サイドウォールスペーサ99bは、図3～図4を参照しながら説明した方法と同様の方法で製造される。

【0063】図9(b)は、図9(a)の半導体装置を改変した装置である。図9(b)の装置と図9(a)の装置との間の相違点は、以下の二点にある。

【0064】まず、図9(a)の装置では、ソース／ドレイン領域のための不純物拡散層がシリコン基板91にまで達していたが、図9(b)の装置では、ソース／ドレイン領域のための不純物拡散層がシリコン層97の内部に存在している。

【0065】次に、図9(a)の装置では、絶縁性サイドウォールスペーサ99bがコンタクトホールの内側面には存在していなかったが、図9(b)の装置では、絶縁性サイドウォールスペーサ102がコンタクトホールの内側面に存在している。このような絶縁性サイドウォールスペーサ102は、図5を参照しながら説明した方法で形成できる。

【0066】図9(b)の半導体装置によれば、ソース／ドレイン領域がシリコン層97の内部に形成されているため、ゲート電極94の下方に形成されるチャネルと、ソース／ドレイン領域との間に比較的に大きなオフセット領域を形成できる。

【0067】(第5の実施形態)以下に、図10(a)から(g)を参照しながら、本発明の半導体装置の製造方法の他の実施形態を説明する。図では、単一のNチャネルMOS型トランジスタが記載されているが、現実には、多数のトランジスタが同一基板上に集積される。

【0068】まず、図10(a)に示すように、公知の製造工程によってP型シリコン基板201の選択された領域にSTI構造202を形成した後、ゲート酸化膜(厚さ: 3～8nm)203を形成する。STI構造202は、シリコン基板201の主面における分離領域(フィールド領域)に形成される。シリコン基板201の主面のうちSTI構造202が形成されていない領域はトランジスタの活性領域のために使用される。公知の方法を用いて、ゲート絶縁膜203を形成した後、下層N型多結晶シリコン層(厚さ: 100～300nm)204および上層キャップ層(厚さ: 50～200nm)205を含むゲート構造をゲート酸化膜203上に形成する。このゲート構造は、薄膜堆積工程、リソグラフィ工程およびエッチング工程を経て形成される。チャネル

長方向に沿って計測したゲート構造のサイズ、すなわちゲート長 L は、例えば $0.1 \sim 0.2 \mu\text{m}$ に設定され、ゲート幅 W （チャネル幅）は例えば $1 \sim 10 \mu\text{m}$ に設定され得る。なお、本実施形態のキャップ層 205 は二酸化シリコン（ SiO_2 ）から形成している。キャップ層 205 はシリコンナイトライド（ Si_3N_4 等）やその他の絶縁性材料から形成しても良い。

【0069】図 10（a）の構造の上面全体を不図示の窒化膜（厚さ： $30 \sim 100 \text{nm}$ ）で覆った後、異方性ドライエッチングによって窒化膜の不要部分を除去する。こうして、図 10（b）に示すように、ゲート構造の側面に窒化膜から形成した側壁保護層 206 を配置する。側壁保護層 206 の厚さは、堆積する窒化膜の厚さや異方性ドライエッチングの条件によって高い精度で調整可能である。

【0070】次に、図 10（c）に示すように、選択エピタキシャル成長技術を用いて、厚さ 50nm 程度の P 型単結晶シリコン層 207 をシリコン基板 201 上に成長させる。この選択成長は、例えば、ジシランガス（ 3 sccm ）、ジボランガス（ 0.01 sccm ）、および塩素ガス（ 0.02 sccm ）の原料ガスを使用し、温度は 630°C で実行することができる。この温度ではジシランガスが熱分解され、露出シリコン上にシリコンのエピタキシャル成長が進行する。塩素ガスは、酸化膜または窒化膜上に同時成長してしまう非晶質シリコン層を除去するために導入される。なお、ジシランガスの代わりにシランガスその他のシリコン化合物ガスを用いてもよい。また、P 型ドーパントガスとして、ジボランの代わりにボランその他のホウ素化合物ガスを用いてもよい。また、塩素ガスの代わりに他の塩素化合物ガスを用いてもよい。

【0071】次に、図 10（d）に示すように、シリコンナイトライドからなるサイドウォールスペーサ 208 で段差側面を覆う。サイドウォールスペーサ 208 は、例えば CVD 法等によってシリコンナイトライド膜を堆積した後、その膜に対する異方性の高いエッチングを行うことによって、ゲート電極構造の側壁および P 型単結晶シリコン層 207 の側壁上に形成される。

【0072】次に、図 10（e）に示すように、選択エピタキシャル成長技術を用いて、厚さ 100nm 程度の単結晶シリコン層 209 を P 型単結晶シリコン層 207 上に成長させる。この選択成長は、例えば、ジシランガス（ 10 sccm ）、および塩素ガス（ 0.04 sccm ）の原料ガスを使用し、温度は 630°C で実行した。原料ガスの種類については、P 型単結晶シリコン層 207 について述べたことがあてはまる。説明の簡単化のため、上記 2 種類の選択成長工程によって形成した多層膜を「積層構造」と称することにする。本実施形態では、積層構造の高さはゲート構造の高さにほぼ等しくなように設定されている。このため、図 10（e）に示すよう

に、積層構造、ゲート構造、およびサイドウォールスペーサの各上面は実質的に同一レベルに位置することになるので、トランジスタの平坦性を向上させる。このため、層間絶縁膜でトランジスタを覆った後、化学的機械研磨（CMP）によって平坦化しやすいという利点がある。

【0073】この「積層構造」に対して、ドーザ量 $2 \times 10^{15} \text{cm}^{-2}$ の砒素（As）イオンを 40keV のエネルギーで注入した後、例えば 950°C 30 秒程度の熱処理を行う。その結果、ソース／ドレイン拡散層を「積層構造」内に形成する。なお、砒素イオンの代わりに燐等の他の N 型不純物イオンを用いてもよい。ソース／ドレイン拡散層は、「積層構造」の上面から「積層構造」の下部層、すなわち単結晶シリコン層 207 の内部にまで広がっている。言いかえると、上記イオン注入によって積層構造内に導入された N 型ドーパントは、単結晶シリコン層 209 の全体に拡散するとともに、単結晶シリコン層 207 の上部分にも拡散している。このため、エピタキシャル成長直後は P 型であった単結晶シリコン層 207 の上部が N 型化され、単結晶シリコン層 207 の内部に PN 接合が形成される。本実施形態では、ソース／ドレイン拡散層 209 とチャネル領域との間に、P 型単結晶シリコン層 207 の一部が P 型のまま存在している。言いかえると、ソース／ドレイン拡散層は、チャネル領域からオフセットしている。

【0074】厚さ 50nm 程度のチタン膜を図 10（e）の構造上に堆積した後、 650°C 60 秒の熱処理によってチタンシリサイド膜を「積層構造」上に形成してもよい。この場合、未反応チタンを硫酸過水で除去した後、 900°C 10 秒の熱処理を行い、それによってチタンシリサイド膜を低抵抗化する。

【0075】次に、図 10（f）に示すように、層間絶縁膜 210 をシリコン基板 201 上に堆積した後、コンタクトホール 211 を層間絶縁膜 210 内に設ける。このコンタクトホール 211 は、素子領域と分離領域との境界部分を横切るように形成され、「積層構造」の側面および STI 構造の表面を露出させる。

【0076】次に、図 10（g）に示すように、コンタクトホール 211 を介してソース／ドレイン領域に接触する導電性プラグ（ソース／ドレイン電極）212 を形成する。この後、通常の製造工程を経て、更に多層配線が形成される。

【0077】本実施形態の製造方法によれば、ソース／ドレイン領域が形成される「積層構造」のうち、pn 接合が位置する P 型単結晶シリコン層 207 の側面が絶縁性のサイドウォールスペーサ 208 で覆われている。そのため、ソース／ドレイン領域の pn 接合部は導電性プラグ 212 と接触せず、図 1（d）の矢印で模式的に示すような経路で電流リークは生じない。

【0078】また、この製造方法によれば、積層型ソー

ス／ドレインのための構造を、図 10 (c) および (e) で示すように、2 段階のエピタキシャル成長工程によって形成している。最初の単結晶シリコン層 207 の成長においては、供給ガスの量が少ないため、成長速度が約 10 nm/分と小さく、約 5 分の処理時間を要する。成長速度が遅い反面、成長膜の結晶性が良く、ほぼ無欠陥で形成され得る。そのため、ソース／ドレイン拡散層の接合面を単結晶シリコン層 207 内に形成すれば、結晶欠陥に起因する接合リークの増大は生じない。

【0079】第 2 のシリコン層成長においては、供給ガスの量が比較的に多いため、成長速度を約 20 nm/分に上昇させることができ、その成長を約 5 分で完了させることができる。成長が早い（第 1 の成長のレートの 2 倍のレート）反面、結晶性は比較的悪く、比較的によくの欠陥が発生するが、pn 接合はこの結晶層内に位置していないため、接合リーク等への影響はない。

【0080】積層型ソース／ドレインのためのシリコン層を、上記実施形態の場合と同じ厚さになるまでエピタキシャル成長させるには、従来の 1 段階成長によれば、約 15 分必要である。本実施形態では、対応するシリコン層の成長に必要な時間は、従来技術の場合の約 2/3（約 10 分）に短縮される。

【0081】このよう本実施形態の製造方法によれば、ガス流量を変えた 2 段階の条件で成長させることによって、積層型ソース／ドレイン部のシリコン層の成長時間を約 2/3 に短縮し、かつ接合リーク電流の増加を防止することができる。

【0082】なお、本実施形態では、「積層構造」の上層部分をエピタキシャル成長シリコン層から構成したが、その代わりにエピタキシャル成長 SiGe 層を用いても良い。

【0083】

【発明の効果】本発明によれば、ソース／ドレイン領域と配線とを接続するためのコンタクトホールがソース／ドレイン領域と STI 構造との境界部分を跨ぐように形成される場合において、その境界部分に段差が生じても、段差に起因する電流リークの発生を抑制することができる。

【0084】また、本発明によれば、ソース／ドレイン領域と配線とを接続するためのコンタクトホールがソース／ドレイン領域と STI 構造との境界部分を跨ぐように形成される場合においても、その境界部分に段差が生じること自体を防止することができる。

【図面の簡単な説明】

【図 1】(a) ～ (d) は、STI 構造を備えた従来の半導体装置の製造方法を説明するための工程断面図である。

【図 2】(a) は、相対的に広い面積を有するソース／ドレイン領域上において相対的に狭いコンタクトホールを形成し、そのコンタクトホール内を金属プラグ 13 で

埋め込んだ状態を示す断面図であり、(b) はその平面レイアウト図である。

【図 3】(a) から (c) は、本発明による半導体装置の製造方法の第 1 の実施形態を示す工程断面図である。

【図 4】(a) および (b) は、本発明による半導体装置の製造方法の第 1 の実施形態を示す工程断面図である。

【図 5】(a) から (d) は、本発明による半導体装置の製造方法の第 2 の実施形態を示す工程断面図である。

【図 6】本発明による半導体装置の平面レイアウト例を説明する。

【図 7】(a) から (c) は、本発明による半導体装置の製造方法の第 3 の実施形態を示す工程断面図である。

【図 8】(a) から (c) は、本発明による半導体装置の製造方法の第 3 の実施形態を示す工程断面図である。

【図 9】(a) および (b) は、それぞれ、本発明による半導体装置の他の実施形態を示す断面図である。

【図 10】(a) から (g) は、本発明による半導体装置の製造方法の第 4 の実施形態を示す工程断面図である。

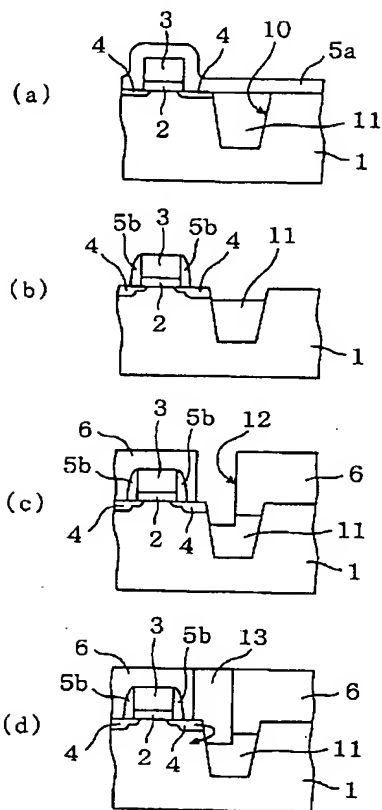
【符号の説明】

- 31 p 型シリコン基板
- 32 ゲート絶縁膜
- 33 ゲート電極
- 34 ソース／ドレイン領域
- 35 b SiO₂ サイドウォールスペーサ
- 36 層間絶縁膜
- 40 トレンチ
- 41 トレンチ内の SiO₂ 膜
- 45 絶縁膜
- 46 レジストマスク
- 47 レジストの開口部
- 48 コンタクトホール
- 50 絶縁性サイドウォールスペーサ
- 71 シリコン基板
- 72 トレンチ内 SiO₂ 膜
- 73 ゲート絶縁膜
- 74 ゲート電極
- 75 絶縁膜
- 76 ソース／ドレイン領域
- 77 SiO₂ 膜
- 78 シリコンナイトライド膜
- 78 b サイドウォールスペーサ
- 79 層間絶縁膜
- 80 コンタクトホール
- 81 金属プラグ
- 82 第 2 のシリコンナイトライド膜
- 91 p 型シリコン基板
- 92 トレンチ分離構造
- 93 ゲート絶縁膜

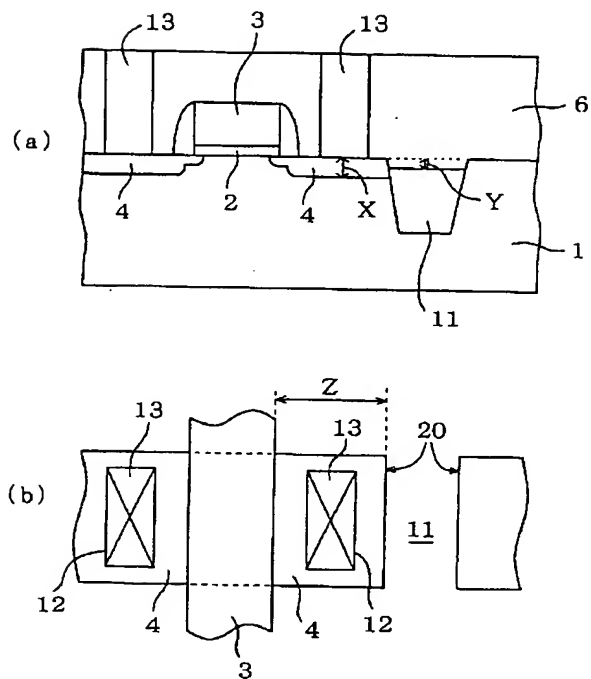
- 94 ゲート電極
95 絶縁層
96 サイドウォール絶縁膜
97 エピタキシャル成長シリコン層

- 99b 絶縁性サイドウォールスペーサ
100 層間絶縁膜
101 電極プラグ

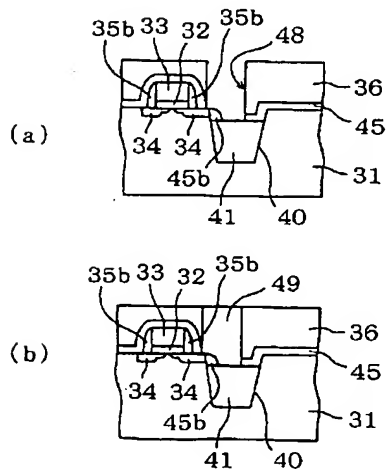
【図1】



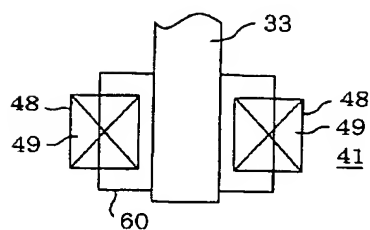
【図2】



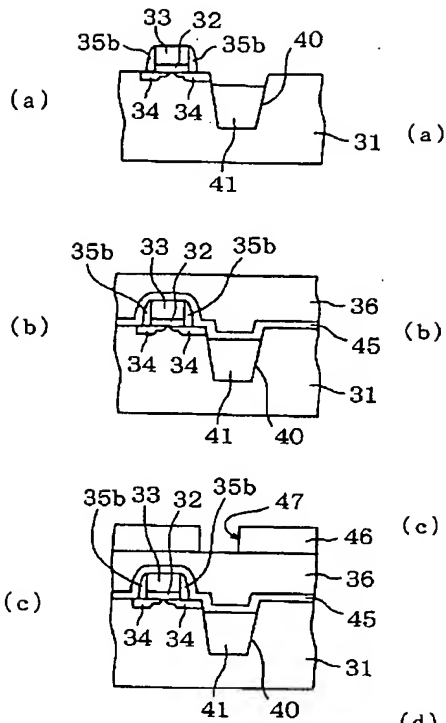
【図4】



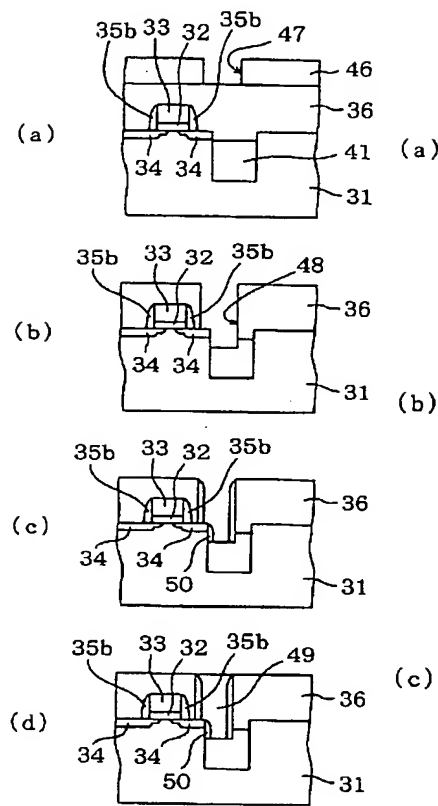
【図6】



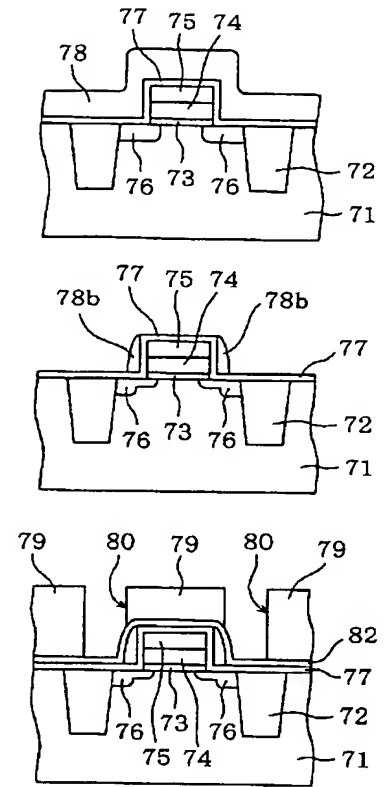
【図 3】



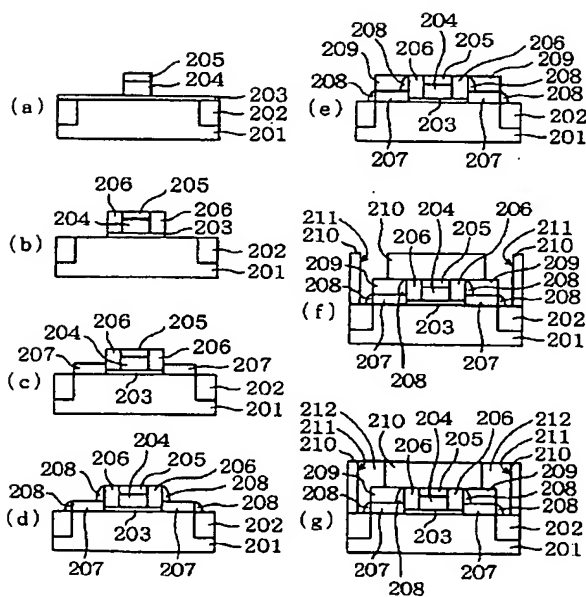
【図 5】



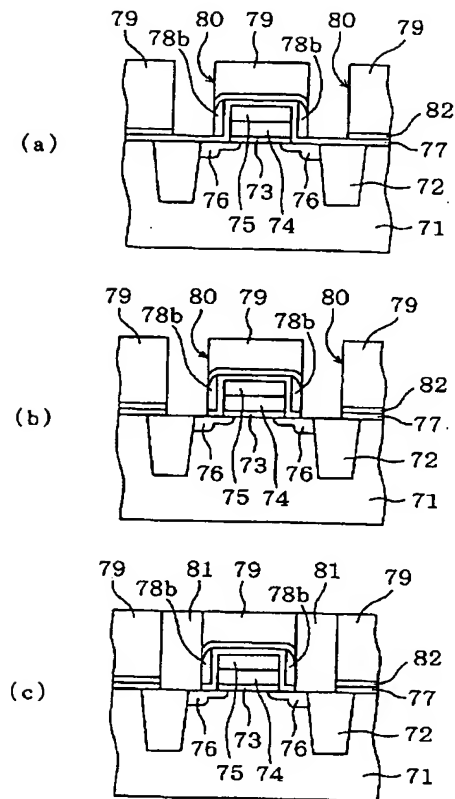
【図 7】



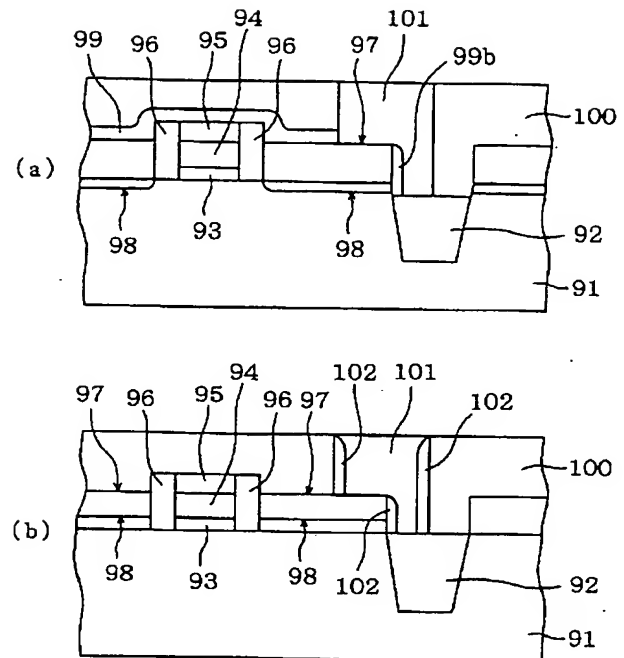
【図 10】



【図8】



【図9】



【手続補正書】

【提出日】平成11年11月8日（1999. 11. 8）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 素子領域および分離領域を有する半導体と、

前記素子領域に形成されたMOS型トランジスタと、
前記分離領域に形成されたトレンチ分離構造と、
前記MOS型トランジスタおよび前記トレンチ分離構造を覆う絶縁膜と、

前記絶縁膜上に形成された層間絶縁膜と、

前記層間絶縁膜に形成され、前記MOS型トランジスタのソース・ドレイン不純物拡散層の一部および前記トレンチ分離構造の一部に達する開口部と、
前記層間絶縁膜の開口部を介して前記ソース・ドレイン不純物拡散領域に接触する電極と、を備えた半導体装置

であって、

前記絶縁膜は前記層間絶縁膜のエッチストップ層となる材料により形成され、

前記素子領域の上面と前記トレンチ分離構造の上面との間には段差が形成されており、

前記ソース・ドレイン不純物拡散層の少なくとも一方が前記段差の側面に達し、

前記段差の側面と前記電極との間に前記絶縁膜からなる絶縁性サイドウォールスペーサが挿入されている半導体装置。

【請求項2】 前記トレンチ分離構造は、前記半導体の前記分離領域に形成されたトレンチと、前記トレンチ内に埋め込まれた絶縁物とを有しており、

前記絶縁膜は、前記トレンチ分離構造内の前記絶縁物とは異なる絶縁性材料から形成されている請求項1に記載の半導体装置。

【請求項3】 前記層間絶縁膜および前記絶縁物はシリコン酸化膜から形成され、前記絶縁膜はシリコン窒化膜から形成されている請求項2に記載の半導体装置。

【請求項4】 前記半導体はシリコン基板であり、

前記ソース・ドレイン不純物拡散層は、前記シリコン基板の上に成長した半導体層に形成されている請求項 1 から 3 の何れかひとつに記載の半導体装置。

【請求項 5】 半導体の素子領域に形成された MOS 型トランジスタと、前記半導体の分離領域に形成されたトレンチ分離構造とを備え、前記素子領域の上面と前記トレンチ分離構造の上面との間に段差が形成され、前記段差の側面において前記 MOS 型トランジスタのソース・ドレイン不純物拡散層の少なくとも一部が露出している構造体を用意する工程と、

前記構造体上にエッチストップ層となる絶縁膜を堆積し、堆積した前記絶縁膜により前記段差の側面を覆う工程と、

前記絶縁膜上に層間絶縁膜を堆積し、堆積した前記層間絶縁膜により前記 MOS 型トランジスタおよび前記素子分離構造を覆う工程と、

前記層間絶縁膜のうち前記段差の側面を横切る領域を前記絶縁膜に達するまでエッチングし、前記層間絶縁膜中に開口部を設ける工程と、

前記層間絶縁膜の前記開口部の底面に露出する前記絶縁膜に対して異方性エッチングを行い、それによって前記絶縁膜から形成された絶縁性サイドウォールスペースを前記段差の側面上に形成し、また前記ソース・ドレイン不純物拡散層の前記表面の一部を部分的に露出させる工程と、

前記層間絶縁膜の開口部を介して前記ソース・ドレイン不純物拡散層の前記表面の一部に接触する電極を形成する工程と、を包含する半導体装置の製造方法。

【請求項 6】 前記トレンチ分離構造は、前記半導体の前記分離領域に形成されたトレンチと、前記トレンチ内に埋め込まれた絶縁物とを有しており、前記絶縁膜は、前記トレンチ分離構造内の前記絶縁物とは異なる絶縁性材料から形成されている請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記層間絶縁膜および前記絶縁物はシリコン酸化膜から形成され、前記絶縁膜はシリコン窒化膜から形成されている請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記半導体はシリコン基板であり、前記ソース・ドレイン不純物拡散層は、前記シリコン基板の上に成長した半導体層に形成されている請求項 5 から 7 の何れかひとつに記載の半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】

【課題を解決するための手段】本発明による半導体装置は、素子領域および分離領域を有する半導体と、前記素

子領域に形成された MOS 型トランジスタと、前記分離領域に形成されたトレンチ分離構造と、前記 MOS 型トランジスタおよび前記トレンチ分離構造を覆う絶縁膜と、前記絶縁膜上に形成された層間絶縁膜と、前記層間絶縁膜に形成され、前記 MOS 型トランジスタのソース・ドレイン不純物拡散層の一部および前記トレンチ分離構造の一部に達する開口部と、前記層間絶縁膜の開口部を介して前記ソース・ドレイン不純物拡散領域に接触する電極とを備えた半導体装置であって、前記絶縁膜は前記層間絶縁膜のエッチストップ層となる材料により形成され、前記素子領域の上面と前記トレンチ分離構造の上面との間には段差が形成されており、前記ソース・ドレイン不純物拡散層の少なくとも一方が前記段差の側面に達し、前記段差の側面と前記電極との間に前記絶縁膜からなる絶縁性サイドウォールスペースが挿入されている。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】好ましい実施形態では、前記絶縁膜は、前記トレンチ分離構造内の前記絶縁物とは異なる絶縁性材料から形成されている。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】好ましい実施形態では、前記層間絶縁膜および前記絶縁物はシリコン酸化膜から形成され、前記絶縁膜はシリコン窒化膜から形成されている。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】本発明による半導体装置は、半導体の素子領域に形成された MOS 型トランジスタと、前記半導体の分離領域に形成されたトレンチ分離構造とを備え、前記素子領域の上面と前記トレンチ分離構造の上面との間に段差が形成され、前記段差の側面において前記 MOS 型トランジスタのソース・ドレイン不純物拡散層の少なくとも一部が露出している構造体を用意する工程と、前記構造体上にエッチストップ層となる絶縁膜を堆積し、堆積した前記絶縁膜により前記段差の側面を覆う工程と、前記絶縁膜上に層間絶縁膜を堆積し、堆積した前記層間絶縁膜により前記 MOS 型トランジスタおよび前記素子分離構造を覆う工程と、前記層間絶縁膜のうち前記段差の側面を横切る領域を前記絶縁膜に達するまでエッ

チングし、前記層間絶縁膜中に開口部を設ける工程と、前記層間絶縁膜の前記開口部の底面に露出する前記絶縁膜に対して異方性エッチングを行い、それによって前記絶縁膜から形成された絶縁性サイドウォールスペーサを前記段差の側面上に形成し、また前記ソース・ドレイン不純物拡散層の前記表面の一部を部分的に露出させる工程と、前記層間絶縁膜の開口部を介して前記ソース・ドレイン不純物拡散層の前記表面の一部に接触する電極を形成する工程とを包含する。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】削除

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】好ましい実施形態では、前記絶縁膜は、前記トレンチ分離構造内の前記絶縁物とは異なる絶縁性材料から形成されている。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】好ましい実施形態では、前記層間絶縁膜および前記絶縁物はシリコン酸化膜から形成され、前記絶縁膜はシリコン窒化膜から形成されている。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】削除

フロントページの続き

(72)発明者 河原 博之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 中尾 一郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 5F032 AA34 AA44 AA46 AA63 AA74
AA77 BA08 BB06 BB08 CA17
DA02 DA23 DA25 DA30 DA57
5F040 DA10 DA15 DB03 DC01 EC07
EF02 EF14 EF18 EH05 EH08
EK05 EL01 EL06 FA05 FA07
FA10 FB05 FC22 FC28
5F048 AA01 AA04 AA07 AC03 BA01
BB05 BC06 BC19 BF07 BF16
BF18 BG03 BG14 DA25 DA27
DA30